

MEMS - 半導体横方向配線技術(高密度な低温積層一体化実装技術)

東北大学大学院工学研究科 教授 小柳 光正

集積回路技術とMEMS技術、実装技術、マイクロオプティクス技術を融合することによって、LSIチップやMEMSチップ、光デバイス、受動素子などの異種デバイス、電子部品を高密度に一体化する新しい低温積層高密度一体化実装技術の開発を目指して研究を行っています。この技術は、1)自己組織化機能を利用してフレキシブル配線基板にLSIチップやMEMSチップを高精度で一括実装する技術と、2)フレキシブル配線基板に狭ピッチのマイクロバンプを高密度に形成する技術、3)基板に搭載したチップに高密度のチップ乗り越え配線を形成する技術、4)それらのチップ上に抵抗やコンデンサ、インダクタ、コイルなどの受動素子を形成する技術から成っています。そのうち、自己組織化機能を用いたMEMS-LSI一括実装技術とチップ乗り越え配線形成技術についての検討状況を紹介します。

自己組織化機能を用いたMEMS-LSI一括実装技術

液体の表面張力を利用して、たくさんのMEMSチップやLSIチップをフレキシブル配線基板面に高精度一括実装します。疎水性のフレキシブル配線基板にたくさんのMEMSチップやLSIチップをフェイスダウン実装する場合は、図1に示すように、まず、多数のマイクロバンプを形成した複数のMEMSチップやLSIチップの裏面を親水性にし、水溶液や液状有機物で覆います。一方、これらのチップを一時的に保持するための基板表面にも親水性の領域を設け、この部分を水溶液や液状有機物で覆います。この基板表面に、裏面を水溶液や液状有機物で覆った複数のチップを裏面が下になるようにして同時に落下させると、基板上的水溶液や液状有機物とチップ裏面の水溶液や液状有機物が合体して、液体の表面張力により基板表面にチップが自己組織的に配列されそのまま接着されます。この手法を用いて、チップ位置あわせ精度 $\pm 1 \mu\text{m}$ 、位置あわせ時間1秒以内を達成します。

チップ乗り越え配線形成技術

自己組織化機能を用いてフレキシブル配線基板に実装したMEMSチップやLSIチップを乗り越えて高密度に横方向配線する技術を開発します。この技術では、図2に示すように、高いチップ段差部分を乗り越えてチップ側面部に被覆性よく銅配線パターンを形成することが重要となります。そのための絶縁膜形成技術、ホトリソグラフィ技術、銅メッキ技術について検討しています。配線幅 $5 \mu\text{m} \sim 10 \mu\text{m}$ 、配線間隔 $10 \mu\text{m}$ のチップ乗り越え配線を実現します。

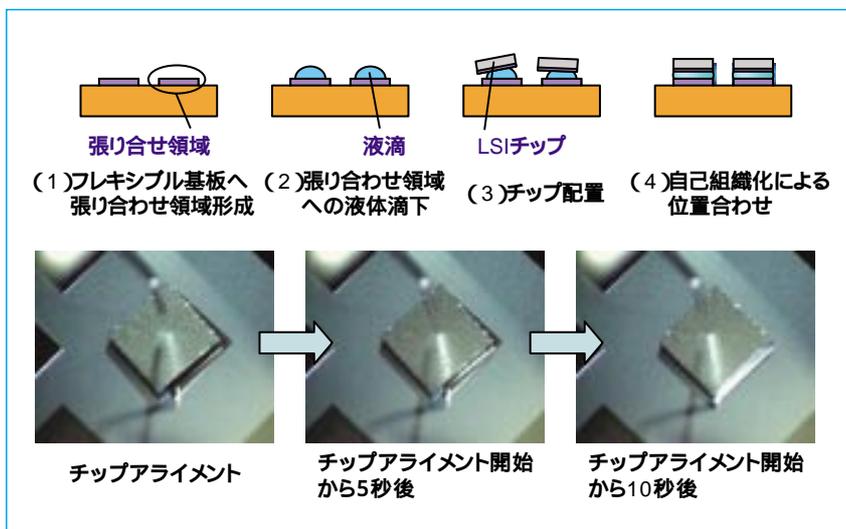


図1 自己組織化機能を用いたMEMS-LSI一括実装技術

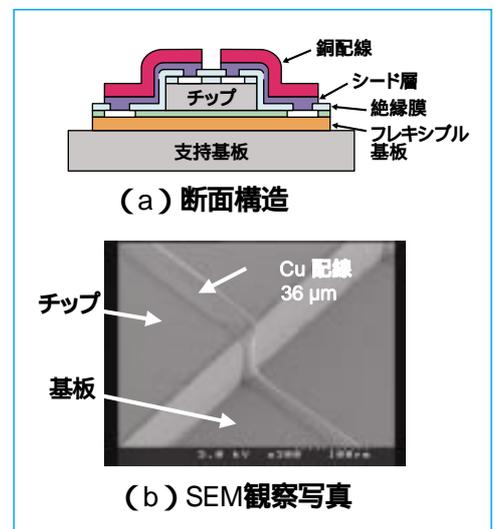


図2 チップ乗り越え配線